

Сергій Яценко, Володимир Войтенко, Роман Єршов

## РЕАЛІЗАЦІЯ БЛОКА ПРОСТОРОВО-ВЕКТОРНОЇ ШИРОТНО-ІМПУЛЬСНОЇ МОДУЛЯЦІЇ У СКЛАДІ КОНТРОЛЕРА ІНДУКЦІЙНОГО ДВИГУНА НА БАЗІ ПЛІС

**Актуальність теми дослідження.** Вдосконалення електромобілів і громадського електротранспорту відбувається за рахунок переходу на електричні тягові установки прямого частотно-керованого привода на основі індукційного двигуна із короткозамкненим ротором та векторною системою керування.

**Постановка проблеми.** Якість роботи обмежує швидкодія цифрової системи керування, яка має виконувати велику кількість складних обчислень над векторами.

**Аналіз останніх досліджень і публікацій.** У рішеннях на основі сигнальних мікроконтролерів із вбудованими апаратними модулями максимальна частота ШІМ обмежена архітектурою процесора послідовної дії. У структурах з використанням ПЛІС функції координатних перетворень реалізовано на основі логічних і арифметичних субблоків, які в результаті синтезу займають надмірний обсяг ресурсів.

**Виділення недосліджених частин загальної проблеми.** Більш ефективне рішення – із визначенням тригонометричних функцій табличним методом з перемиканням базових векторів за допомогою окремого детермінованого цифрового автомата.

**Постановка завдання.** Метою дослідження є розробка алгоритмів побудови блоку просторово-векторної широтно-імпульсної модуляції у складі контролера індукційного двигуна на базі ПЛІС і реалізація окремих складових із використанням мови опису апаратури VHDL.

**Виклад основного матеріалу.** Запропонована структура та алгоритм функціонування блоку у складі відслідковувача сектора векторної модуляції, детермінованого автомата векторної модуляції, реверсивного лічильника, таблиці відліків функції синуса, двоканального ШІ-модулятора, блоку розподілу сигналів модуляції. Усі блоки описано на VHDL і об'єднано у глобальну сутність. На часових діаграмах вихідних сигналів векторного модулятора присутнє заповнення ШІМ-сигналом, який промодульовано за синусоїдальним законом.

**Висновки відповідно до статті.** Розроблено новий алгоритм побудови гнучкого блоку просторово-векторної широтно-імпульсної модуляції у складі контролера індукційного двигуна на базі структур змінної розрядності в ПЛІС.

**Ключові слова:** ПЛІС; VHDL; цифровий дизайн; просторово-векторна широтно-імпульсна модуляція (ПВШІМ); індукційний двигун; векторне керування; прямиий (безредукторний) електропривод.

Рис.: 11. Бібл.: 13.

**Актуальність теми дослідження.** Розвиток енергоефективних технологій суттєво вплинув на реалізацію систем електромеханічного руху, застосовуваних у різних сферах людської діяльності. Так, все більшої популярності набувають електрокари, а традиційні системи електроприводу сучасного громадського транспорту вдосконалюються завдяки переходу на електричні тягові установки прямого (безредукторного) привода [1; 2]. В основі розвитку лежить винахід і поширення частотно-керованого електропривода на базі індукційного двигуна (ІД) із короткозамкненим ротором [3]. Поєднання ІД із векторною системою керування надає суттєвих переваг у випадку прецизійного регулювання моменту на валу двигуна у широкому діапазоні швидкостей обертання [4]. Основною проблемою в подібних системах є питання якості та ефективності процесу векторного регулювання, які майже повністю залежать від швидкодії цифрової системи керування. Остання тут виконує величезну кількість складних обчислень над векторами за одиницю часу (прямі й обернені перетворення Парка і Кларк і т. ін. [5]). Також присутні математичні операції над числами із плаваючою комою у таких обчислювальних блоках, як регулятори струмів, спостерігачі потокозчеплення і моменту.

**Постановка проблеми.** Відомі рішення усіх перелічених вище задач за допомогою сигнальних мікроконтролерів із вбудованими апаратними модулями широтно-імпульсних модуляторів (ШІМ) та аналого-цифрових перетворювачів (АЦП) [6]. Проте максимальна частота ШІМ у цьому разі обмежена архітектурою процесора, який є пристроєм послідовної дії. Збільшення частоти ШІМ змушує підвищувати й частоту вибірки АЦП у колі зворотного зв'язку, що скорочує інтервал часу для виконання обчислень, а отже, різко погіршує якість системи векторного керування ІД. Можливим вирішенням проблеми покращення динамічних характеристик електроприводу може стати застосування ПЛІС для розробки спеціалізованого контролера векторного керування ІД [7]. Такий контролер

© Яценко С. І., Войтенко В. П., Єршов Р. Д., 2018

являє собою високопродуктивний обчислювальний комплекс, який складається зі швидкодіючих модулів цифрової обробки сигналів, а також АЦП, і забезпечує суттєвий паралелізм та конвеєризацію обчислень. У підсумку це дозволяє реалізувати високоефективний апаратний модуль просторово-векторної ШІМ, що працюватиме на частотах у десятки-сотні кілогерц. Швидкодіючий модуль ПВШІМ у складі контролера ІД на базі ПЛІС забезпечить надійний контроль режимів роботи силових ключів трифазного інвертора, що значно покращить динамічні характеристики електропривода в цілому, мінімізуючи кількість перемикачів ключів на періоді векторної модуляції.

**Аналіз останніх досліджень і публікацій.** Особливостям імплементації блоку просторово-векторної широтно-імпульсної модуляції в ПЛІС присвячено багато досліджень, які стосуються реалізації як систем керування трифазними інверторами напруги [8; 9], так і систем керування ІД [10; 11]. Зазвичай пропонуються структури блоків ПВШІМ, в яких функції координатних перетворень реалізовано на основі суматорів, компараторів і зсувних регістрів. Також у цих структурах присутні блоки синусно-косинусних перетворень; розрахунку шпаруватостей; лічильник «мертвого часу»; схема синхронізації; блок спостерігача сектору модуляції й окремий модуль ШІМ.

**Виділення недосліджених частин загальної проблеми.** Аналіз відомих реалізацій блоків ПВШІМ показує присутність значної кількості арифметичних субблоків, які в результаті синтезу займатимуть надмірний обсяг ресурсів ПЛІС. Значно ефективніше побудувати блок ПВШІМ так, щоб значення тригонометричних функцій визначалися табличним методом, а модуль векторної модуляції, що перемикає базові вектори, було реалізовано у вигляді окремого детермінованого цифрового автомата. Вихідні сигнали блока ПВШІМ у цьому випадку формуватимуться в результаті підмішування відповідних ШІ-промодульованих сигналів тригонометричних функцій до вектора, який знаходиться у певному секторі модуляції.

**Постановка завдання.** Метою роботи є розробка алгоритмів реалізації блока просторово-векторної широтно-імпульсної модуляції у складі контролера індукційного двигуна на базі ПЛІС, а також схемотехнічних рішень складових блока ПВШІМ із використанням мови опису апаратури VHDL.

**Виклад основного матеріалу.** Структуру блока просторово-векторної широтно-імпульсної модуляції для подальшого синтезу в ПЛІС наведено на рис. 1.

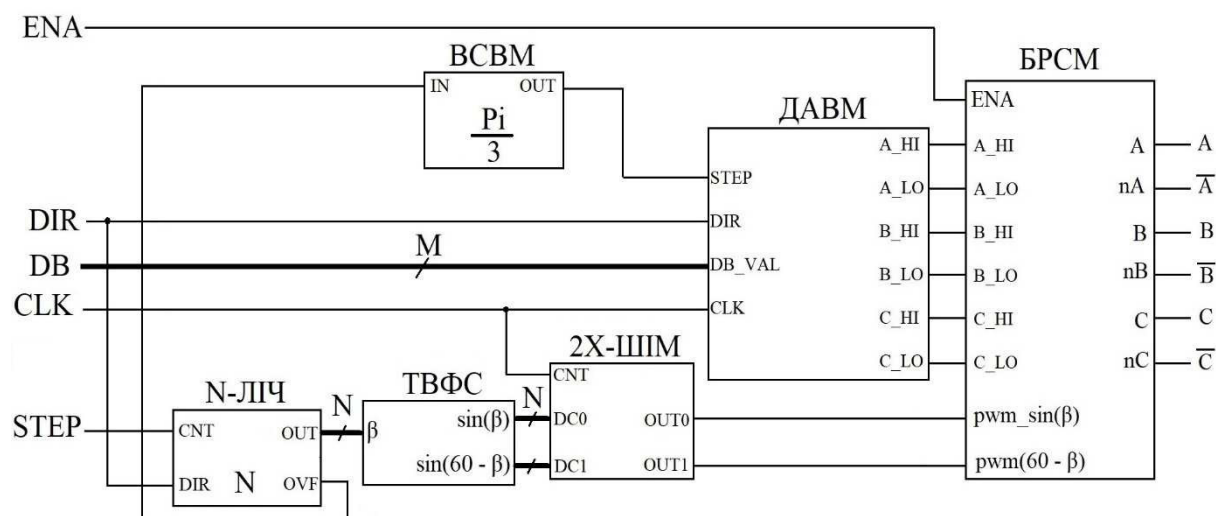


Рис. 1. Структурна схема блока ПВШІМ для синтезу в ПЛІС

Блок ПВШІМ містить у собі такі субблоки:

*BCBM* – відслідковувач сектору векторної модуляції; *ДАВМ* – детермінований автомат векторної модуляції; *N-ЛІЧ* – *N*-розрядний реверсивний двійковий лічильник;

## TECHNICAL SCIENCES AND TECHNOLOGIES

*ТВФС* – таблиця відліків функції синуса; *2X-ШИМ* – двоканальний широтно-імпульсний модулятор; *БРСМ* – блок розподілу сигналів ШІ-модуляції на відповідні ключі.

Вхідними сигналами модуля ПВШІМ є:

*ENA* – сигнал дозволу роботи ключів силового інвертора (цей вхід може використовуватися для подання ШІМ-сигналу від регулятора струму); *DIR* – сигнал, що визначає напрям обертання вектора просторової модуляції, а також напрям рахунку лічильника *N-ЛІЧ* та перемикавня автомата ДАВМ; *DB* – *M*-розрядна шина, сигнал для завдання значення «мертвого часу» у тактах сигналу системного тактування (*CLK*); *STEP* – сигнал тактування лічильника блока *N-ЛІЧ*. На виході блока ПВШІМ знаходяться прямі та інверсні сигнали для керування ключами трифазного інвертора.

Для спрощення на структурній схемі в повному обсязі не показано сигнали скидання *nRST* і системного тактування *CLK*, які розповсюджено і підключено до кожного з блоків схеми ПВШІМ.

Розглянемо алгоритм функціонування блока ПВШІМ. На входи *DC0*, *DC1* двоканального модуля ШІМ подаються два відліки функції синуса кута  $\beta$ :  $\sin(\beta)$  і  $\sin(60 - \beta)$ . Вихідне значення лічильника *N-ЛІЧ* формує адресу (кут  $\beta$ ) вибірки з відповідним значенням функції у ТВФС. Вихідний сигнал ТВФС є шпаруватістю ШІМ для проміжного положення вектора. Також від сигналу *OVF* блока *N-ЛІЧ* тактується блок *ВСВМ*, який спостерігає за положенням вектора й перемикає ДАВМ на наступний сектор модуляції. Як тільки всі відліки із чергового сектору в  $60^\circ$  вичерпано, генерується сигнал тактування *STEP* на вході модуля ДАВМ. Прямі та інверсні сигнали керування ключами трифазного інвертора формуються блоком розподілу сигналів модуляції (*БРСМ*). Цей блок веде спостереження за поточним вектором модуляції, що надходить від ДАВМ. Залежно від поточного вектора модуляції *БРСМ* подає на відповідні дві фази синусоїдальне ШІМ-заповнення від блока *2X-ШИМ*, таким чином формуючи заданий вектор на основі базових у кожному секторі векторної модуляції.

Реалізація детермінованого автомата векторної модуляції виконана мовою VHDL. Модуль ДАВМ вирішує задачу формування шести базових і двох нульових векторів просторово-векторної модуляції (рис. 2 [12]). Значення «1» у кожному векторі модуляції відповідає відкритому верхньому ключу в плечі певної фази силового інвертора, при цьому нижній ключ закритий; «0» – верхній ключ закритий і відкрито нижній.

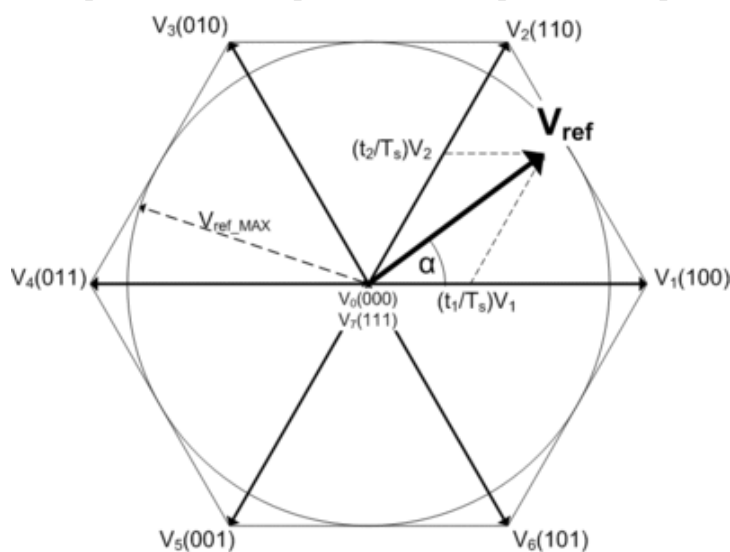


Рис. 2. Діаграма просторово-векторної модуляції

На рис. 3 показано синтезований блок ДАВМ у схемному редакторі пакету САПР *Quartus 15.1*.

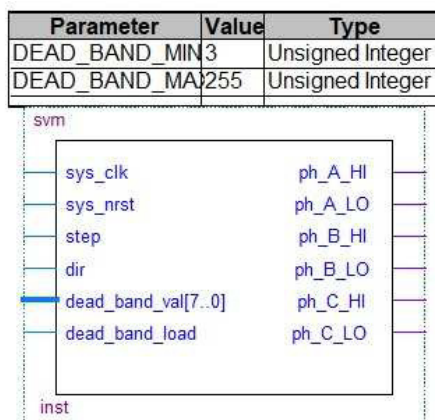


Рис. 3. Синтезований блок детермінованого автомата векторної модуляції

Блок ДАВМ описано на VHDL із використанням стандартного підходу до опису автоматів на основі послідовного оператора **case exp is ... when  $i \Rightarrow act_i()$ ; ... end case**. Цей оператор реалізує алгоритм переключення векторів за переднім фронтом сигналу *step* у напрямку, який задає сигнал на вході *dir* модуля ДАВМ. У момент подачі логічного «0» на вхід *sys\_nrst* відбувається скидання схеми ДАВМ і встановлення вихідних сигналів у рівні, що відповідають нульовому вектору, з якого потім і починається процес модуляції. Детектування всіх вхідних сигналів синхронізовано сигналом системного тактування *sys\_clk* за переднім фронтом. Мінімальне та максимальне значення величини «мертвого часу» (у тактах сигналу *sys\_clk*) задається користувачем на етапі синтезу за допомогою констант *DEAD\_BAND\_MIN* і *DEAD\_BAND\_MAX*, відповідно. Ці значення є реконфігурованими константами оператора **generic(const1; const2; ...)**. «Мертвий час» можна змінювати під час роботи схеми, подавши нове значення на шину *dead\_band\_val* за переднім фронтом сигналу завантаження *dead\_band\_load*. За замовчуванням дане значення не може бути меншим, ніж *DEAD\_BAND\_MIN*. Розрядність шини *dead\_band\_val* розраховується автоматично на етапі синтезу, як логарифм за основою два від значення *DEAD\_BAND\_MAX*:

```
dead_band_val : in std_logic_vector(log2(DEAD_BAND_MAX)-1 downto 0).
```

Запуск лічильника «мертвого часу» відбувається одразу після переходу автомата у наступний стан. Спочатку вимикається ключ (верхній або нижній, залежно від наступного вектора). Потім настає очікування, доки лічильник не дорахує до заданого значення на шині *dead\_band\_val*. І тільки після цього відкривається протилежний ключ у поточній фазі. На рис. 4 зображено часові діаграми роботи блоку ДАВМ. Можна детально побачити, як відбувається формування «мертвого часу», тобто різниці у тактах сигналу *sys\_clk* між сигналами, що керують верхнім та нижнім ключами в одному плечі силового інвертора. Допоки лічильник ДАВМ не вирахує значення *dead\_band\_val*, входи *step* і *dir* не чутливі до зміни сигналу.

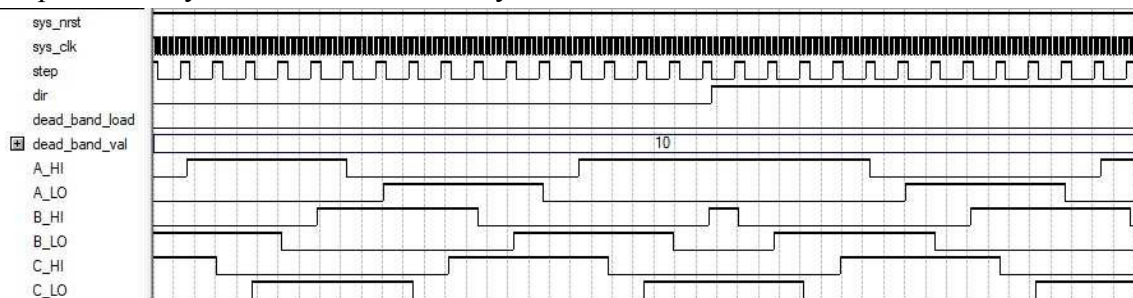


Рис. 4. Часові діаграми роботи блоку ДАВМ

Блок таблиці відліків функції синуса (рис. 5) описано на VHDL, як ROM. Розрядність даних пам'яті (*N* на рис. 1) задає користувач за допомогою константи *SINE\_RESOLUTION* в розділі **generic(const1; const2; ...)** на етапі синтезу.



Рис. 5. Блок ROM із відліками функції синуса ( $SINE\_RESOLUTION = 10$ )

Для економії ресурсів ПЛІС автоматично створюється така кількість  $M$  чарунок  $N$ -розрядної пам'яті, в якій зберігається лише одна чверть періоду ( $\pi/2$ ) функції:

$$M = 2^{SINE\_RESOLUTION - 2}$$

Для створення константи, в якій зберігатимуться відліки чверті періоду функції синуса, у свою чергу, створено новий тип *LUT*:

```
type LUT is array (0 to 2**(SINE_RESOLUTION-2)-1)
of std_logic_vector (SINE_RESOLUTION-1 downto 0).
```

Відліки функції зберігаються у константі типу *LUT*:

```
constant sine_LUT: LUT := LUT_generation,
```

де *LUT\_generation* – це функція, яка повертає новостворений на етапі синтезу масив типу *LUT* із відліками.

Щоб мати можливість сформувати заданий вектор  $U_3$  довжиною 1, який знаходиться під кутом  $\beta$  у одному із секторів векторної модуляції, необхідно його розкласти на базові вектори  $U_{\beta 1}$  і  $U_{\beta 2}$ . Тому в цій таблиці зберігаються значення функції синуса, які відповідають наступним формулам ( $\beta$  – кут між  $U_3$  і  $U_{\beta 1}$ ):

$$U_{\beta 1} = \frac{2}{\sqrt{3}} \cdot \sin(60 - \beta), \tag{1}$$

$$U_{\beta 2} = \frac{2}{\sqrt{3}} \cdot \sin(\beta). \tag{2}$$

Виразу (1) відповідає вихідна шина *sin\_60\_beta*, а виразу (2) – *sin\_beta* блока *TBФС*.

Генерація масиву відліків відбувається за допомогою ітераційного алгоритму, що виконує квантування функції синуса відповідно до заданої користувачем розрядності [13]. Вибірку кута  $\beta$  (адресацію до чарунок пам'яті, в якій розміщено лише чверть періоду функції) реалізовано на *VHDL* таким чином (приклад для вихідної шини *sin\_beta*):

```
uint_beta <= to_integer(unsigned(beta));
if uint_beta > 2**(SINE_RESOLUTION-2)-1 then
  if uint_beta > 2**(SINE_RESOLUTION-1)-1 then
    if uint_beta > (2**(SINE_RESOLUTION-2)-1) +
      2**(SINE_RESOLUTION-1)
    then
      sin_beta <= not sine_LUT((2**(SINE_RESOLUTION-2)-1) -
        uint_beta);
    else
      sin_beta <= not sine_LUT(uint_beta);
    end if;
  else
    sin_beta <= sine_LUT((2**(SINE_RESOLUTION-2)-1) - uint_beta);
  end if;
else
  sin_beta <= sine_LUT(uint_beta);
end if;
```

На рис. 6 показано часові діаграми роботи блока *ТВФС*.

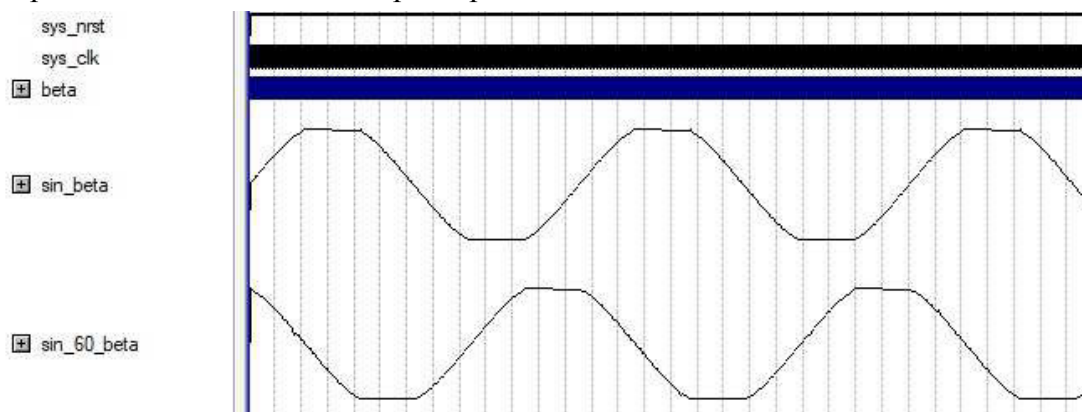


Рис. 6. Часові діаграми роботи блока *ТВФС*

Двоканальний блок ШІМ містить у своєму складі *N*-розрядний реверсивний лічильник і три регістри для завантаження значення шпаруватості. ШІМ-сигнал формується за рахунок синхронного компаратора, який порівнює значення, що зберігається в регістрах, із поточним значенням у лічильнику. Двоканальний блок ШІМ зображено на рис. 7.

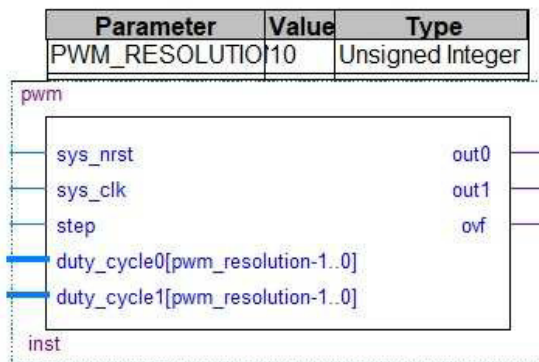


Рис. 7. Двоканальний блок ШІМ ( $PWM\_RESOLUTION = 10$ )

Розрядність ШІМ сигналу налаштовується на етапі синтезу за допомогою константи *PWM\_RESOLUTION*. Залежно від її величини буде синтезовано регістри, входні шини і лічильник відповідної розрядності. Лічильник тактується від сигналу на вході *STEP*, що синхронізовано за сигналом системного тактування *sys\_clk*. Завантаження значення шпаруватості відбувається до шин *duty\_cycle0*, *duty\_cycle1*. У цьому випадку реалізовано ШІМ із центральним вирівнюванням сигналу. На рис. 8 показано часові діаграми роботи двоканального блока ШІМ.

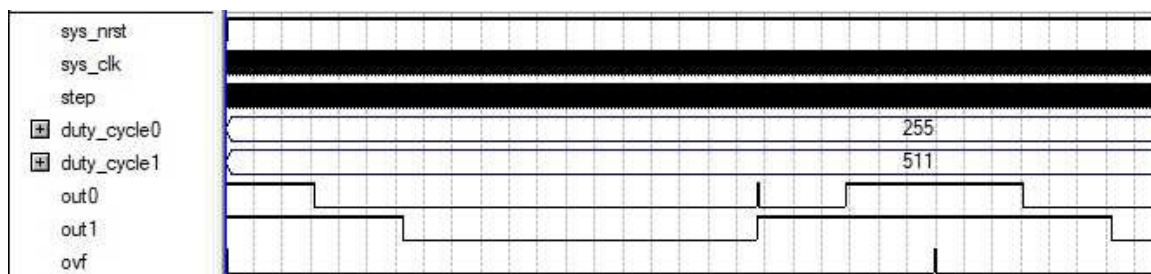


Рис. 8. Часові діаграми роботи двоканального блока ШІМ ( $PWM\_RESOLUTION = 10$ )

Основною задачею блоку відслідковувача сектора векторної модуляції (*BCVM*) є детектування сектору модуляції. В основі блока (рис. 9) лежить лічильник, який тактується сигналом переповнення двоканального модуля ШІМ. Цей лічильник рахує до зна-

чення, що відповідає кожним  $60^\circ$  на періоді синусоїди. Тобто максимальне значення  $K$ , за якого переповнюватиметься лічильник, становить:

$$K = \frac{2^N}{6}.$$

Це зумовлено тим, що кількість відліків синуса на періоді ( $2\pi$ ) становить  $2^N$ , де  $N$  – розрядність сигналу. Розрядність сигналу вказується користувачем на етапі синтезу цього блока в константі *SIGNAL\_RESOLUTION*. Наприклад, якщо *SIGNAL\_RESOLUTION* = 8, то значення, за якого лічильник повинен переповнитися, становить:  $2^8/6 = 42$ . Це значення відповідає  $1/6$  періоду ( $\pi/3$ ) синуса. Сигнал переповнення є тактуючим для детермінованого автомата векторної модуляції.

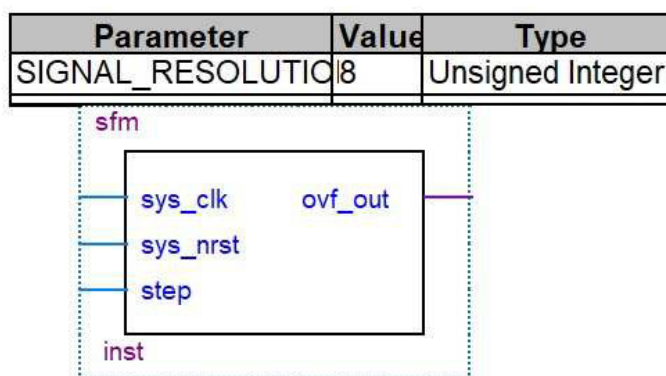


Рис. 9. Блок BCBM

На рис. 10 показано часові діаграми роботи блока BCBM.

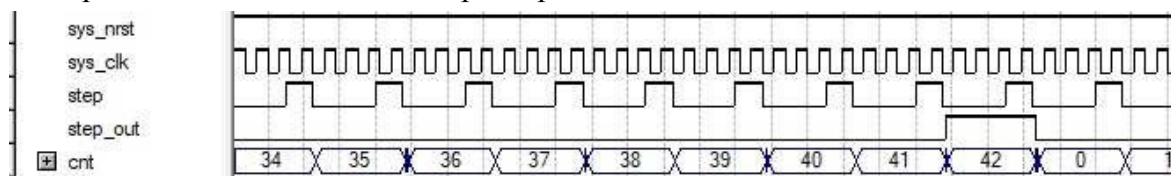


Рис. 10. Часові діаграми роботи блока BCBM (*SIGNAL\_RESOLUTION* = 8)

Блок розподілу сигналів модуляції являє собою маршрутизатор сигналів, що виконує комутацію за логічним «І» сигналів від блока *2X-ШІМ* до двох із сигналів (фаз) керування ключами. Це дозволяє створити результуючий заданий вектор із кутом відхилення  $\beta$ . *БРСМ*, аналізуючи сигнали від *ДАВМ* (тобто базовий вектор модуляції), дізнається про поточний сектор векторної модуляції і подає ШІМ-заповнення на відповідні базові вектори, які є межами цього сектору.

Для синтезу блока просторово-векторної широтно-імпульсної модуляції (*ПВШІМ*) необхідно об'єднати усі структури (субблоки), які були описані вище, відповідно до рис. 1. Для цього потрібно використати оператор **component entity\_declaration end component** для інстанціювання субблоків до глобальної сутності блоку ПВШІМ. Також необхідно створити зв'язки (сигнали) між блоками. Для цього потрібно задекларувати додаткові сигнали і застосувати оператор переприсвоєння портів вводу/виводу **port map(port\_association\_list)** із оператором переприсвоєння реконфігурованих констант **generic map(generic\_association\_list)**. Значення для усіх реконфігурованих констант інстанційованих модулів буде залежати від значення *PWM\_RESOLUTION* блока ПВШІМ.

Часові діаграми вихідних сигналів блока ПВШІМ показано на рис. 11. Вхідні сигнали аналогічні представленим на діаграмах рис. 4. Як видно із рис. 11, на вихідних сигналах керування верхніми ключами присутнє ШІМ-заповнення, яке промодульовано за законом, що відповідає формулам (1) та (2).

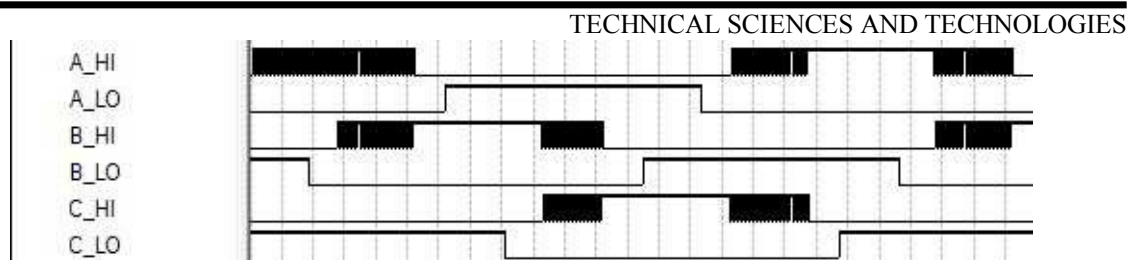


Рис. 11. Часові діаграми роботи блока ПВШІМ

**Висновки відповідно до статті.** Розроблено новий алгоритм імплементації блока просторово-векторної широтно-імпульсної модуляції в складі контролера індукційного двигуна на базі ПЛІС. Усі складові цього блока реалізовано з використанням мови опису апаратури *VHDL*. Цей блок ПВШІМ є досить гнучким, оскільки під час його реалізації було дотримано парадигми синтезу структур змінної розрядності. Тобто, реконфігурація параметрів автоматично призводить до синтезу блоків із заданими параметрами (розрядність лічильників, регістрів, шин даних, об'єм пам'яті). Також використано особливий підхід для автоматичного заповнення комірок *ROM* відліками синусоїди. Ця дія виконується на етапі компіляції, а результатом синтезу є готовий блок пам'яті заданої користувачем розрядності із проініціалізованими комірками.

Подальші дослідження мають бути спрямовані на розробку принципів імплементації інших блоків контролера індукційного двигуна на базі ПЛІС: спостерігачів ковзання, потокозчеплення ротора і моменту, апаратних блоків прямого та оберненого перетворень Парка та Кларк, регулятора, а також проведення натурного експерименту.

#### Список використаних джерел

1. *Tesla Inc.* [Електронний ресурс]. – Режим доступу : <https://www.tesla.com>.
2. *Сайт спільного українсько-німецького підприємства «Електронтранс»* [Електронний ресурс]. – Режим доступу : <http://eltrans.electron.ua>.
3. *Induction motor* [Електронний ресурс]. – Режим доступу : [https://en.wikipedia.org/wiki/Induction\\_motor](https://en.wikipedia.org/wiki/Induction_motor).
4. *Анучин А. С.* Системы управления электроприводов / А. С. Анучин. – М. : МЭИ, 2015. – 373 с.
5. *Park, Inverse Park and Clarke, Inverse Clarke Transformations MSS Software Implementation. User guide* [Електронний ресурс]. – Режим доступу : [https://www.microsemi.com/document-portal/doc\\_view/132799-park-inverse-park-and-clarke-inverse-clarke-transformations-mss-software-implementation-user-guide](https://www.microsemi.com/document-portal/doc_view/132799-park-inverse-park-and-clarke-inverse-clarke-transformations-mss-software-implementation-user-guide).
6. *Texas Instruments High Voltage Motor Control and PFC Developer's Kit* – Retrieved from <http://www.ti.com/tool/TMDSHVMTRPFCKIT>.
7. *Яценко С. І.* Контролер для векторного керування індукційним двигуном на базі програмованої логічної інтегральної схеми / С. І. Яценко, В. П. Войтенко, Р. Д. Єршов // Новітні технології сучасного суспільства (НТСС-2017) : науково-практична конференція (м. Чернігів, 1 грудня 2017 р.) : тези доповідей. – Чернігів : ЧНТУ, 2017. – С. 45–47.
8. *Chen W.* Design of an FPGA-based space vector PWM generator for three-phase voltage-sourced inverters / Chen W., Pien C., Feng Y. // Proc. IEEE Power Energy Conf., Dec. – 2008. – P. 584–588.
9. *Yang G.* The design of SVPWM IP core based on FPGA / Yang G., Zhao P., Zhou Z. // Proc. IEEE Embedded Softw. Syst. Symp. – 2008. – Jul. – P. 191–196.
10. *Tzou Y.* FPGA realization of space-vector PWM control IC for three-phase PWM inverters / Tzou Y., Hsu H.-J. // IEEE Trans. Power Electron. – 1997. – Vol. 12, no. 6. – Nov. – P. 953–963.
11. *Rekha K. R. Vashishtha S.* Survey on FPGA Based Space Vector PWM Motion Control / K. R. Rekha // IJAREEIE. – 2015. – Vol. 4, issue 1. – Jan. – P. 282–288.
12. *Space Vector Modulation* [Електронний ресурс]. – Режим доступу : [https://en.wikipedia.org/wiki/Space\\_vector\\_modulation](https://en.wikipedia.org/wiki/Space_vector_modulation).
13. *How To Generate Sine Samples in VHDL.* [Електронний ресурс]. – Режим доступу : <http://surf-vhdl.com/how-to-generate-sine-samples-in-vhdl/>.



### References

1. Tesla Inc (n.d.). *tesla*. Retrieved from <https://www.tesla.com> [in English].
2. «Electrontrans» Joint Ukrainian-German venture LLC. (n.d.). *eltrans.electron.ua*. Retrieved from <http://eltrans.electron.ua> [in English].
3. Induction motor. (n.d.). *wikipedia.org*. Retrieved from [https://en.wikipedia.org/wiki/Induction\\_motor](https://en.wikipedia.org/wiki/Induction_motor) [in English].
4. Anuchin, A. S. (2015). *Sistemy upravleniya elektroprivodov [Electric drive control systems]*. Moscow: Publishing House MEI [in Russian].
5. Park, Inverse Park and Clarke, Inverse Clarke Transformations MSS Software Implementation. User guide. (n.d.). *microsemi.com*. Retrieved from [https://www.microsemi.com/document-portal/doc\\_view/132799-park-inverse-park-and-clarke-inverse-clarke-transformations-mss-software-implementation-user-guide](https://www.microsemi.com/document-portal/doc_view/132799-park-inverse-park-and-clarke-inverse-clarke-transformations-mss-software-implementation-user-guide) [in English].
6. Texas Instruments High Voltage Motor Control and PFC Developer's Kit (n.d.). *www.ti.com*. Retrieved from <http://www.ti.com/tool/TMDSHVMTRPFCKIT> [in English].
7. Yatsenko, S. I., Voytenko, V. P. & Yershov, R. D. (2017). *Kontroler dlya vektornoho keruvania induktsiynym dvygunom na bazi prohramovanoi lohichnoyi intehralnoyi shemy [Controller for vector control of induction motor on the basis of programmable logic integrated circuit]*. Proceedings from Scientific and Practical Conference “Novel technologies of smart society” (pp. 45–47). Chernihiv: CNUT [in Ukrainian].
8. Chen, W., Pien, C. & Feng, Y. (2008). Design of an FPGA-based space vector PWM generator for three-phase voltage-sourced inverters. *Proc. IEEE Power Energy Conf.*, 584–588 [in English].
9. Yang, G., Zhao, P. & Zhou, Z. (2008). The design of SVPWM IP core based on FPGA. *Proc. IEEE Embedded Softw. Syst.*, 191–196 [in English].
10. Tzou, Y., Hsu, H.-J. (1997). FPGA realization of space-vector PWM control IC for three-phase PWM inverters. *IEEE Transaction Power Electronical*, 12, 6, 953–963 [in English].
11. Rekha, K. R. & Vashishtha, S. (2015). Survey on FPGA Based Space Vector PWM Motion Control. *IJAREEIE*, 4, 1, 282–288 [in English].
12. Space Vector Modulation. (n.d.). *wikipedia.org*. Retrieved from [https://en.wikipedia.org/wiki/Space\\_vector\\_modulation](https://en.wikipedia.org/wiki/Space_vector_modulation) [in English].
13. How To Generate Sine Samples in VHDL. (n.d.). *surf-vhdl.com*. Retrieved from <http://surf-vhdl.com/how-to-generate-sine-samples-in-vhdl/> [in English].

UDC 621.3.07

*Serhii Yatsenko, Volodymyr Voytenko, Roman Yershov*

## IMPLEMENTATION OF THE SPACE-VECTOR PULSE-WIDTH MODULATION BLOCK AS A PART OF INDUCTION MOTOR CONTROLLER BASED ON FPGA

**Urgency of the research.** *The improvement of electric vehicles and public electric transport is dealing with the merging to electric drives of a direct-torque frequency-controlled drive based on an induction motor with a squirrel-cage rotor and a vector control system.*

**Target setting.** *The quality of control is mainly limited by the speed of the digital control system, which must perform a huge number of complex vector-based calculations.*

**Actual scientific researches and issues analysis.** *In applied solutions based on DSP or DSC with built-in hardware modules, the maximum PWM carrier frequency is limited by the core sequential architecture. In FPGA-based solutions, the coordinate transformation functions are realized on the basis of logic and arithmetic configurable blocks, whose, as a result of synthesis, occupies an excessive amount of IC resources.*

**Uninvestigated parts of general matters defining.** *A more faster and efficient solution is to determine trigonometric functions using a lookup table based method with base vector switching using a separate finite state machine.*

**The research objective.** *The aim of research is to develop of algorithms for constructing a block of SVPWM as part of an induction motor controller based on FPGA and implementing its components using VHDL (hardware description language).*

**The statement of basic materials.** *The structure and operation algorithm of the block that consists of the vector modulation sector observer unit, the finite-state machine of state-vector modulation unit, the reverse counter unit, the sine function lookup table unit, the two-channel PW-modulator unit, and the modulation signal distribution unit. All units are described using VHDL and are composed into a global entity. The timing diagrams of the output signals of the SVM are modulated by the PWM signal, which duty cycle is changes according to a sinusoidal law.*

**Conclusions.** *A new algorithm for constructing a flexible block of space-vector pulse-width modulation as a part of an induction motor controller based on FPGA with using of generic and scalable features of VHDL is developed.*

**Keywords:** FPGA; VHDL; digital design; space-vector pulse width modulation (SVPWM); field-oriented control (FOC); induction motor; direct electric drive.

*Fig.: 11. References: 13.*

УДК 621.3.07

Сергей Яценко, Владимир Войтенко, Роман Ершов

## РЕАЛИЗАЦИЯ БЛОКА ПРОСТРАНСТВЕННО-ВЕКТОРНОЙ ШИРОТНО-ИМПУЛЬСНОЙ МОДУЛЯЦИИ В СОСТАВЕ КОНТРОЛЛЕРА ИНДУКЦИОННОГО ДВИГАТЕЛЯ НА БАЗЕ ПЛИС

**Актуальность темы исследования.** Совершенствование электромобилей и общественного электротранспорта происходит за счет перехода на электрические тяговые установки прямого частотно-управляемого привода на основе индукционного двигателя с короткозамкнутым ротором и с векторной системой управления.

**Постановка проблемы.** Качество работы ограничивается быстродействием цифровой системы управления, которая должна выполнять большое количество сложных вычислений над векторами.

**Анализ последних исследований и публикаций.** В решениях на основе сигнальных микроконтроллеров со встроенными аппаратными модулями максимальная частота ШИМ ограничена архитектурой процессора последовательного действия. В структурах с использованием ПЛИС функции координатных преобразований реализованы на основе логических и арифметических субблоков, которые в результате синтеза будут занимать чрезмерный объем ресурсов.

**Выделение неисследованных частей общей проблемы.** Более эффективное решение – с определением значений тригонометрических функций табличным методом с переключением базовых векторов с помощью отдельного детерминированного цифрового автомата.

**Постановка задачи.** Целью исследования является разработка алгоритмов построения блока пространственно-векторной широтно-импульсной модуляции в составе контроллера индукционного двигателя на основе ПЛИС и реализация отдельных составляющих с использованием языка описания аппаратуры VHDL.

**Изложение основного материала.** Предложена структура и алгоритм функционирования блока в составе наблюдателя сектора векторной модуляции, детерминированного автомата векторной модуляции, реверсивного счетчика, таблицы отсчетов функции синуса, двухканального ШИ-модулятора, и блока распределения сигналов модуляции. Все блоки описаны на VHDL и объединены в глобальную сущность. На временных диаграммах выходных сигналов векторного модулятора присутствует заполнение ШИМ-сигналом, модулированного по синусоидальному закону.

**Выводы в соответствии со статьей.** Разработан новый алгоритм построения гибкого блока пространственно-векторной широтно-импульсной модуляции в составе контроллера индукционного двигателя на базе структур переменной разрядности в ПЛИС.

**Ключевые слова:** ПЛИС; VHDL; цифровой дизайн; пространственно-векторная широтно-импульсная модуляция (ПВШИМ); индукционный двигатель; векторное управление; прямой (безредукторный) электропривод.

*Рис.: 11. Библ.: 13.*

**Яценко Сергій Ігорович** – студент магістратури, Чернігівський національний технологічний університет (вул. Шевченка, 95, м. Чернігів, 14035, Україна).

**Яценко Сергей Игоревич** – студент магистратуры, Черниговский национальный технологический университет (ул. Шевченко, 95, г. Чернигов, 14035, Украина).

**Yatsenko Serhii** – MSc student, Chernihiv National University of Technology (95 Shevchenka Str., 14035 Chernihiv, Ukraine).

**E-mail:** royalroad1995@gmail.com

**Войтенко Володимир Павлович** – кандидат технічних наук, доцент, доцент кафедри промислової електроніки, Чернігівський національний технологічний університет (вул. Шевченка, 95, м. Чернігів, 14035, Україна).

**Войтенко Владимир Павлович** – кандидат технических наук, доцент, доцент кафедры промышленной электроники, Черниговский национальный технологический университет (ул. Шевченко, 95, г. Чернигов, 14035, Украина).

**Voytenko Volodymyr** – PhD in Technical Sciences, Associate Professor of the Industrial Electronics Department, Chernihiv National University of Technology (95 Shevchenka Str., 14035 Chernihiv, Ukraine).

**E-mail:** volodymyr.voytenko@inel.stu.cn.ua

**ORCID:** <http://orcid.org/0000-0003-1490-0600>

**ResearcherID:** F-8698-2014

**Scopus Author ID:** 36167678700, 55328056100

**Єршов Роман Дмитрович** – асистент кафедри промислової електроніки, Чернігівський національний технологічний університет (вул. Шевченка, 95, м. Чернігів, 14035 Україна).

**Ершов Роман Дмитриевич** – асистент кафедры промышленной электроники, Черниговский национальный технологический университет (ул. Шевченко, 95, г. Чернигов, 14035, Украина).

**Yershov Roman** – assistant of the Industrial Electronics Department, Chernihiv National University of Technology (95 Shevchenka Str., 14035 Chernihiv, Ukraine).

**E-mail:** roman.d.yershov@gmail.com

**ORCID:** <https://orcid.org/0000-0002-0267-2906>

**ResearcherID:** H-1432-2016

**Scopus Author ID:** 57188719994